

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-115662

(43)Date of publication of application : 18.04.2003

(51)Int.Cl.

H05K 3/46

H01L 23/12

H05K 3/18

(21)Application number : 2001-309728

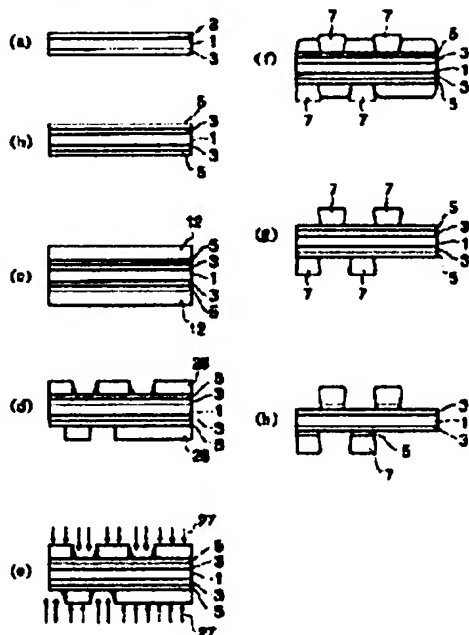
(71)Applicant : TOPPAN PRINTING CO LTD

(22)Date of filing :

05.10.2001

(72)Inventor : NAKAMURA TAKASHI
HAMADA TETSUO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE SUBSTRATE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for removing the occurrence of migration due to residue left in the base of an insulating resin layer at the base of a pattern, and a method for making conductor width at the top of a pattern layer wider than conductor width by conventional technology for forming high density wiring.

SOLUTION: In a process for forming a wiring pattern, a thin film conductor layer by a plating method is formed after the insulating resin layer is formed. A photosensitive resist layer is formed and a resist layer for forming the necessary pattern is formed by the photo-process method of exposure and development. The manufacturing method of a semiconductor device substrate is provided with a process

for performing plasma processing on a whole face, a process for performing electrolytic copper plating, a process for peeling the resist layer, and a process for removing the thin film conductor layer. Thus, the semiconductor device substrate where the occurrence of migration can be prevented and conductor width can be widened can be supplied.

[Claim(s)]

[Claim 1] In a process in manufacture of a multilayer print using the build-up method of forming a circuit pattern, (a) A process of forming an insulating resin layer, and a process of forming a thin film conductor layer by the plating method by the whole surface of (b) this insulating resin layer, (c) A process of forming a photosensitive resist layer by the whole surface of this thin film conductor layer, (d) A process of forming a necessary pattern in this photosensitive resist layer using a photo mask by a photograph process method, (e) A process of carrying out plasma treatment even to the surface of said thin film conductor layer from a resist layer in which this pattern was formed on the whole surface, (f) a process of carrying out electrolytic copper plating to this whole surface, and (g) -- a manufacturing method of a substrate for semiconductor devices performing a process of exfoliating said resist layer, a process of removing said thin film conductor layer which was exposed to the surface by the (h) soft etching method, and a process, ** and others.

[Claim 2] A process characterized by comprising the following in manufacture of a multilayer print using the build-up method of forming a circuit pattern.

(a) A process of forming an insulating resin layer.
 (b) A process of forming a photosensitive resist layer by the whole surface of this insulating resin layer, (c) A process of forming a necessary pattern in this photosensitive resist layer using a photo mask by a photograph process method, (d) a process of carrying out plasma treatment to the whole surface even on the surface of said insulating resin layer from a resist layer in which this pattern was formed, a process of carrying out non-electrolytic copper plating to the whole (e) this surface, and (f) -- a process of exfoliating said resist layer.

[Claim 3] A process characterized by comprising the following in manufacture of a tape carrier package of forming a circuit pattern.

(a) A process of forming a photosensitive resist layer by the whole surface of an insulating resin nature film layer.
 (b) A process of forming a necessary pattern in this photosensitive resist layer using a photo mask by a photograph process method, (c) a process of carrying out plasma treatment to the whole surface even on the surface of said insulating resin layer from a resist layer in which this pattern was formed, a process of carrying out nonelectrolytic plating to the whole (d) this surface, and (e) -- a process of exfoliating said resist layer.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In the process of manufacturing the substrate for semiconductor devices of the module wiring board which used the multilayer printed wiring board, the build-up method, or the tape carrier package, this invention relates to the process of forming a wiring density pattern.

[0002]

[Description of the Prior Art] In recent years, the electronic device is asked for

a miniaturization and slimming down so that it may be represented by the personal computer etc. Therefore, the substrate for semiconductor devices used for an inside is also asked for a miniaturization and slimming down. The substrate for semiconductor devices may be used as a parent board, although the parts of a semiconductor chip or others are carried and it is carried in many cases on the multilayer printed wiring board which turns into a parent board with the form of module boards, such as a ball grid array (BGA) and a pin grid array (PGA).

[0003]In order to have a common manufacturing process which carries out wiring pattern layer formation in manufacture of a tape carrier package, a module board, and the substrate for semiconductor devices containing a multilayer printed wiring board and to realize miniaturization of the aforementioned electronic device, and slimming down, In the aforementioned manufacturing process which carries out wiring pattern layer formation, wiring width is thin, and a gap is small, and a substrate for semiconductor devices what is called using wiring density called multilayering of a wiring layer and byway-izing of Bahia which connects between wiring layers is called for.

[0004]The multilayer printed wiring board using the build-up method for example as a substrate for semiconductor devices corresponding to these demands is known. Since this multilayer printed wiring board uses a laser hole down processing machine and can form the beer hole 4 among arbitrary layers, when it performs wiring density, it is suitable. Thinning and byway-ization of the beer hole 4 are progressing from that of the wiring pattern layer, and the new method of wiring density is increasing.

[0005]An example of the manufacturing method of the multilayer printed wiring board using the build-up method is explained about the manufacturing method. Drawing 4 a g is an example figure typically about the sectional view of the multilayer printed wiring board using the starting conventional build-up method.

[0006]First, drawing 4 a paints the photosensitive resist 12 on the wiring layer 2 using the copper-clad glass epoxy board which pasted together the wiring layer 2 which consists of copper foil, and was formed on the insulating substrate 1 which consists of a rigid glass epoxy board etc., Exposure and development are performed, the photosensitive resist 12 is patterned, the copper wiring layer 2 to expose is etched, and the method with a predetermined circuit pattern of acting as wiring layer dimorphism Shigeru is used.

[0007]Next, on the insulating substrate 1 and the wiring layer 2, drawing 4 b applies thermosetting insulating resin, and forms the thermosetting insulating resin layer 3. For example, as a coating method, screen printing, the curtain coat method, and the spin coat method are used. As a material of the insulating resin layer 3, polyimide resin, an acrylic resin, an epoxy resin, etc. are used. For example, it is desirable, in view of the point that there is a method of sticking the sheet shaped insulating resin layer 3 as insulating

resin layer 3 formation method, and an insulating layer can be simply formed by uniform thickness. With laser processing which used the YAG laser etc. for said insulating resin layer 3, the predetermined hole 4 for vias forms in a position, and the insulating resin layer 3 and the hole 4 for vias with a predetermined pattern are formed.

[0008]next -- the substrate 1 is immersed in potassium permanganate -- the hole of the hole 4 for vias -- it washes in order to remove the residue adhering to an inner porous wall, and the residue which remained at the pars basilaris ossis occipitalis of the hole.

[0009]next, drawing 4 c -- the hole of the insulating resin layer 3 top and the hole 4 for vias -- the thin film conductor layer 5 with nonelectrolytic plating on the whole surface to an inner porous wall, [form and] Substrate both sides paste the dry film of a photosensitive resist together, the resist layer 12 is formed, the photo mask for exposure is used for this resist layer 12, patterning formation is carried out by the exposure almsgiving by optical exposure, and processing of a developing process, and the resist layer 12 provided with the predetermined pattern is formed. Furthermore, electrolytic copper plating is performed the whole surface on said thin film conductor layer 5, the plating layer 7 is formed, frilling of said resist layer 12 is carried out, and the thin film conductor layer 5 which performs soft etching processing lightly and becomes unnecessary about the whole surface is removed. The predetermined pattern wiring layer 2 and the via hole 11 are formed.

[0010]Generally, as for the process of carrying out wiring layer formation, the fully-additive process is also suitably performed besides the above-mentioned semiadditive process and the subtractive process, for example.

[0011]Next, drawing 4 d applies an insulating resin solution the whole surface the insulating resin layer 3 and the wiring layer 2, and on the via hole 11, forms the insulating resin layer 3, and forms the hole 4 for vias in the specified position of the insulating resin layer 3 with laser processing. Furthermore, the breakthrough 6 for through holes is formed by drilled hole processing from the surface of a substrate to a rear face.

[0012]Drawing 4 e Next, six in a breakthrough for the insulating resin layer 3 top, the inside of the hole 4 for vias, and through holes, It is alike, the thin film conductor layer 5 is formed with an electroless plating method, and the conductor layer 8 which performs formation 7 and consists an electrolytic copper plating layer of copper, and the via hole 11 and the through hole 9 are further formed all over the thin film conductor layer 5 top.

[0013]As shown in drawing 4 f, the wiring pattern layer 8 to which drawing 4 f has a predetermined pattern in the conductor layer 8 by patterning processing is formed further.

[0014]Said process of carrying out wiring layer formation was processed with the above-mentioned subtractive process.

[0015]Next, an insulating resin solution is applied the whole surface on the insulating resin layer 3 and the wiring layer 2 which are shown in drawing 4 g, the via hole 11, and the through hole 9, the insulating resin layer 3 is

formed, and the hole 4 for vias is formed for the specified position of the insulating resin layer 3 with laser processing.

[0016]next, it is shown in drawing 4g -- as -- the hole of the insulating resin layer 3 top and the hole 4 for vias -- with nonelectrolytic plating on the whole surface to an inner porous wall. Form the thin film conductor layer 5 and substrate both sides paste the dry film of a photosensitive resist together all over this thin film conductor layer, The resist layer 12 is formed, the photo mask for exposure is used for this resist layer 12, exposure by optical exposure is given, patterning formation is carried out by processing of a developing process, and the resist layer 12 provided with the predetermined pattern is formed. Furthermore, electrolytic copper plating is performed the whole surface on said thin film conductor layer 5, the plating layer 7 is formed, frilling of said resist layer is carried out, soft etching processing is lightly performed for the whole surface, the unnecessary thin film conductor layer 5 is removed, and the predetermined pattern wiring layer 2 and the via hole 11 are formed.

[0017]Finally, in order to protect wiring and the power supply equidistant placement line pattern layer 8, the solder resist layer 10 is formed in whole both sides of a multilayer printed wiring board, and a multilayer printed wiring board completes drawing 4g.

[0018]The conventional tape carrier package composition and manufacturing method which are shown in drawing 5 are explained. Drawing 5 (a) An example of the manufacturing method of a tape carrier package is shown in - (e).

[0019]First, copper foil etc. are pasted together to both sides of the insulation film 13 via an adhesives layer, and the adhesives layer 14 and the conductor layer 2 are formed in them (refer to drawing 5 (a)).

[0020]Next, the sprocket hole 15 is formed in the both ends side of the insulation film 13 by a punch press etc. (refer to drawing 5 (b)).

[0021]Next, the opening 16 is formed in the specified position of the conductor layer 2 (refer to drawing 5 (c)).

[0022]Next, the conductor layer 2 is used as a mask, from the opening 16, it irradiates with a laser beam and the hole 17 for conduction holes is formed (refer to drawing 5 (d)).

[0023]Next, it plates in the hole 17 for conduction holes, the electrolytic copper plating layer 7 is formed for the thin film conductor layer 5 with formation, and the conduction hole 18 which electrically connects the double-sided conductor layer 2 is formed (refer to drawing 5 (e)).

[0024]Next, patterning processing of the double-sided conductor layer 2 is performed, the first circuit pattern 19 and the second circuit pattern 20 are formed, and a tape carrier package is obtained.

[0025]As mentioned above, there is a common problem in the process of forming a wiring density pattern, in the process of manufacturing the multilayer printed wiring board using the build-up method, or the substrate for semiconductor devices of a module wiring board using a tape carrier

package.

[0026]the process of carrying out wiring layer formation -- an above-mentioned semiadditive process and a subtractive process -- or, generally the fully-additive process is used. In common, the place where the gap 25 of a conductive pattern is the narrowest is the pars basilaris ossis occipitalis 21 of a pattern. For the reason, adhesion by the plating drug solution, the catalyst of an etching reagent or ion, etc. and adsorption occur and carry out migration generating, and the insulating resin layer 3 surface of the pars basilaris ossis occipitalis 21 of an adjacent pattern becomes the cause that the long term reliability of a wiring circuit is poor.

[0027]When carrying out etching processing, there is a problem to which the conductor width 24 of the apex part 22 of a conductive pattern becomes narrow by side etching. moreover -- general -- an above-mentioned semiadditive process and a subtractive process -- or in a fully-additive process, the turn of the layer thickness of the conductor layer 2 serves as the thickest subtractive process and semiadditive process, and a fully-additive process.

[0028]Formation of a small-gage wire fine pattern is a tendency with the sufficient one where the conductor layer to form is thinner.

[0029]In the manufacturing process which forms a circuit pattern, wiring width becomes thin for wiring density, and a gap becomes small narrowly. If it becomes narrow, washing of the surface of the insulating resin layer 3 of a pars basilaris ossis occipitalis will become difficult, hem part 23 smooth nature will also worsen, and hem part 23 washing of a conductor layer will also be affected for the gap of a circuit pattern. If the gap of the pattern wiring which carries out etching processing becomes narrow, since there is a tendency for time to carry out etching processing to become long, the conductor width 24 of a patterned layer apex part becomes narrower by side etch CHINGU.

[0030]

[Problem to be solved by the invention]The problem of this invention is in ***** in conductor width ***** according the method for removing migration generating by the residue which remained at the pars basilaris ossis occipitalis of the insulating resin layer of a pattern pars basilaris ossis occipitalis, and the conductor width of a patterned layer apex part to a Prior art, in order to form wiring density.

[0031]

[Means for solving problem]In the process in manufacture of the multilayer print in which invention concerning Claim 1 of this invention used the build-up method of forming a circuit pattern, (a) The process of forming an insulating resin layer, and the process of forming the thin film conductor layer by the plating method by the whole surface of (b) this insulating resin layer, (c) The process of forming a photosensitive resist layer by the whole surface of this thin film conductor layer, (d) The process of forming a necessary pattern in this photosensitive resist layer using the photo mask by a photograph process method, (e) The process of carrying out plasma treatment even to the surface of said thin film conductor layer from the regist layer in which this

pattern was formed on the whole surface, (f) the process of carrying out electrolytic copper plating to this whole surface, and (g) -- it is a manufacturing method of the substrate for semiconductor devices performing the process of exfoliating said resist layer, the process of removing said thin film conductor layer which was exposed to the surface by the (h) soft etching method, and the process, ** and others.

[0032]In the process in manufacture of the multilayer print in which invention concerning Claim 2 of this invention used the build-up method of forming a circuit pattern, (a) The process of forming an insulating resin layer, and the process of forming a photosensitive resist layer by the whole surface of (b) this insulating resin layer, (c) The process of forming a necessary pattern in this photosensitive resist layer using the photo mask by a photograph process method, (d) The process of carrying out plasma treatment even to the surface of said insulating resin layer from the resist layer in which this pattern was formed on the whole surface, (e) the process of carrying out non-electrolytic copper plating to this whole surface, and (f) -- it is a manufacturing method of the substrate for semiconductor devices performing the process of exfoliating said resist layer, and the process, ** and others.

[0033]In the process [in / in invention concerning Claim 3 of this invention / manufacture of a tape carrier package] of forming a circuit pattern, (a) The process of forming a photosensitive resist layer by the whole surface of an insulating resin nature film layer, (b) The process of forming a necessary pattern in this photosensitive resist layer using the photo mask by a photograph process method, (c) The process of carrying out plasma treatment even to the surface of said insulating resin layer from the resist layer in which this pattern was formed on the whole surface, (d) It is a manufacturing method of the substrate for semiconductor devices performing the process of carrying out nonelectrolytic plating to this whole surface, the process of exfoliating the (e) aforementioned resist layer, and the process, ** and others.

[0034]

[Mode for carrying out the invention]Drawing 1 is a sectional side elevation explaining the example of this invention of a process. Along with an embodiment, it explains in detail below using drawing 1.

[0035]In the process in manufacture of the multilayer print using drawing 1 and the build-up method of forming a circuit pattern, it is [0036]. As shown in drawing 1 (a), the insulating resin layer 3 is formed in both sides of the core substrate 1. The method of carrying out insulating resin layer formation may paste together the case where insulating resin liquid is applied by the roll coat method, the curtain coat method, a silk-screen-printing method, etc., and the dry film using insulating resin, and may form an insulating resin layer. As insulating resin, polyimide resin, an acrylic resin, an epoxy resin, etc. are suitable. For example, it sells with the trade name of the PUROBI coat 5000 [Nippon Paint Make].

[0037]The insulating resin layer to form chooses the optimal standard in the range of 15 micrometers - 75-micrometer thickness.

[0038]Drawing 1 (b) forms the thin film conductor layer 5 by the plating method by the whole surface of this insulating resin layer 3. this thin film conductor layer is based on the copper layer of a thin film using the nonelectrolytic plating method currently generally used -- the stratification is carried out. As long as this layer thickness is a range which can do a role of a plating electrode, it may be thin as much as possible.

[0039]Drawing 1 (c) forms the photosensitive resist layer 12 by the whole surface of this thin film conductor layer 5. This photosensitive resist layer 12 is formed in the photograph process generally used. There are a method by photosensitive resist liquid and a method of using a dry film, and it is used, choosing suitably.

[0040]The photosensitive resist layer 12 which forms a necessary pattern is formed in the drawing 1 (d) this photosensitive resist layer 12 according to an exposure process and a developing process using the photo mask by a photograph process method. said photograph process process is accumulated [optimization / resist resin of selection of photosensitive resist resin, for example, a photoresist, and optical fusibility and optimization of the total dose with which a photosensitive resist layer is irradiated, or / of the developing condition of a developing process] -- know how use is carried out.

[0041]As shown in drawing 1 (e), plasma treatment is carried out for this pattern even to the surface of said thin film conductor layer 5 from the formation resist layer 12 on the whole surface.

[0042]Plasma treatment is adopted as a means to irradiate with the plasma-ized gas by glow discharge under vacuum, and to improve the surface of a polymer material. In this invention, it uses as a method by the plasma treatment which used the inorganic gas.

[0043]The resist resin surface formed in these all the surfaces and the thin film conductor side of non-electrolytic copper have exposed said this pattern to the surface of said thin film conductor layer 5 from the formation resist layer 12. ***** by the catalyst etc. which carry out adhesion adsorption has occurred in the resist residue which remains in this exposed surface, or the thin film conductor side 5 of non-electrolytic copper.

[0044]Without on the other hand forming uniformly the shape of surface type of the pars basilaris ossis occipitalis 21 and this hem part 23 of the pattern formed near the gap 25 of a pattern, and this apex part 22, especially, said hem part 23 form becomes unstable, and it has the problem which becomes still more unstable by the small-gage wire pattern part.

[0045]The surface area of the thin film conductor of the non-electrolytic copper exposed to said hem part 23 - the pars basilaris ossis occipitalis 21 has a role important as an electrode of electrolysis plating, and the current density which deposits plating metallic material is influenced.

[0046]As a solution of the above problem, the plasma irradiation process was added to the conventional process, and problem was solved.

[0047]Said plasma irradiation process is in deleting the thickness of an irradiated material face, the resist residue which remains in an exposed

surface is removed, or the dirt by residue, such as a catalyst which carries out adhesion adsorption, etc. is removed to the thin film conductor side of non-electrolytic copper. In resist resin whose rate (an etching rate, the amount of thickness wear of a unit time this) of deleting the thickness of an irradiated material face is comparatively large, the form of the resist of the pars basilaris ossis occipitalis 21 of a pattern, the hem part 23, and the surface of the apex part 22 is corrected to the optimal form. An exposed surface is cleaned by the effect and the width of the pars basilaris ossis occipitalis 21 of the pattern which deletes the boundary line of this hem part by thickness wear, and forms the thin film part of the resist end of the hem part 23 near the gap 25 becomes large. In the surface corner part of the apex part 22, a corner is lost and it becomes the optimal form.

[0048] Since the width of the pars basilaris ossis occipitalis 21 of the pattern formed near said gap 25 becomes large, the area of a plating electrode becomes still larger and the form of the circuit pattern which carries out plating formation becomes a necessary thing.

[0049] Drawing 1 (f) carries out electrolytic copper plating to this whole surface.

[0050] Drawing 1 (g) exfoliates said resist layer.

[0051] As shown in drawing 1 (h), said thin film conductor layer exposed to the surface by the soft etching method is removed. On the surface of an insulating resin layer, the circuit pattern formed with electrolytic copper plating is formed, and the wiring pattern layer used as an inverse tapered shape forms in this sectional shape with wide surface width of the apex part 22.

[0052] It is a manufacturing method in manufacture of the substrate for semiconductor devices which forms a circuit pattern above.

[0053] boiling and setting drawing 3 figure a-e at the process in manufacture of a tape carrier package of forming a circuit pattern –

[0054] The photosensitive resist layer 12 is formed by the whole surface of the insulating resin nature film layer 13 shown in drawing 3 (a). Photosensitive resist liquid is applied. For example, the roll coater is suitable as a coating method.

[0055] Drawing 3 (b) forms a necessary pattern in this photosensitive resist layer according to an exposure process and a developing process at said resist layer using the photo mask by a photograph process method.

[0056] Drawing 3 (c) carries out plasma treatment for this pattern even to the surface of a formation resist layer and said insulating resin layer on the whole surface.

[0057] Said plasma irradiation process is in deleting thickness about an irradiated material face, and foreign matters, such as a resist residue which remains in an exposed surface, are removed. In resist resin whose rate (an etching rate, the amount of thickness wear of a unit time this) of deleting the thickness of an irradiated material face is comparatively large, the form of a resist is corrected to the optimal form on the pars basilaris ossis occipitalis 21 of a pattern, the hem part 23, and the surface of the apex part 22. An exposed

surface is cleaned by the effect and the width of the pars basilaris ossis occipitalis 21 of the pattern which forms the resist end thin film part of the hem part 23 in a subject near the gap 25 by adjustment and thickness wear becomes large. In the surface corner part of the apex part 22, a corner is lost and it becomes the optimal form.

[0058] Since the width of the pars basilaris ossis occipitalis 21 of the pattern formed near said gap 25 becomes large, the area of a plating electrode becomes still larger and the form of the circuit pattern which carries out plating formation becomes a necessary thing.

[0059] Drawing 3 (d) carries out nonelectrolytic plating to this whole surface.

[0060] As shown in drawing 3 (e), said resist layer is exfoliated.

[0061] On the surface of an insulating resin layer, the circuit pattern formed with electrolytic copper plating is formed, and the wiring pattern layer used as an inverse tapered shape is formed in this sectional shape with wide surface width of the apex part 22.

[0062] It is a manufacturing method in manufacture of the substrate for semiconductor devices which forms a circuit pattern above.

[0063]

[Function] In pattern formation, since it changed into a semiadditive process and a fully-additive process with the process by resist formation from the subtractive process of formation of a conductor layer with an etching method, the problem of side etch was solved. An addition cleans plasma etching and there is an operation which washing of the surface of an insulating layer improves.

[0064]

[Working example] Next, the concrete working example of this invention is described.

[0065] <Working-example 1> drawing 2 a-g is a sectional side elevation showing the production process of a circuit pattern.

[0066] Drawing 2 a formed the insulating resin layer in the core substrate 1. Insulating resin liquid used the general-purpose PUROBI coat 5000 (made by stock Nippon Paint), and the coating method was applied by the curtain coat method. Thickness formed the insulating layer by a 35-micrometer standard.

[0067] Drawing 2 b formed the thin film conductor layer 5. The copper thin film conductor layer by general-purpose nonelectrolytic plating was formed. Next, drawing 2 c formed the photosensitive resist layer. Using the dry film, the photosensitive resist was stuck by the usual method and the stratification was carried out by **. The dry film used general-purpose trade name FOTEKKU (made by stock Hitachi Chemical). Chemical polishing was performed as pretreatment. The dipping of the conditions was carried out to 250-g/L persulfuric acid sodium and the solution of 350-g/L sulfuric acid for 40 seconds, and 30 ** of solution temperature carried out chemical polishing of the surface of a thin film conductor layer to them.

[0068] Drawing 2 d formed in this photosensitive resist layer the patterned layer which forms a necessary pattern in said resist layer according to the

exposure process and the developing process using the photo mask by a photograph process method. The exposing condition worked on condition of 40 mj/cm². Said developing process was developed under the conditions of fault development. The conditions of development are 1wt%Na₂CO₃ solution, 30 °C of solution temperature, and developing time 30 seconds. The time of the standard of specifications is 15 seconds.

[0069]Plasma irradiation of the drawing 2 d is carried out to the thin film conductor layer 5 and the 12th page of a resist layer. It became the more nearly optimal resist shape for removing foreign matters, such as a resist residue which remains in an exposed surface, making form of a resist into the optimal form, the thing of the resist end thin film part of the correction hem part 23 to do for thickness wear, and losing a corner by the surface corner part of the apex part 22.

[0070]Drawing 2 e formed the plating layer 7 with electrolysis plating.

[0071]Drawing 2 f removed said the 5th page of thin film conductor layer to expose by soft etching.

[0072]The circuit pattern formed with electrolytic copper plating was formed on the surface of the insulating resin layer, and drawing 2 g formed the wiring pattern layer used as an inverse tapered shape in this sectional shape with wide surface width of the apex part 22 of this pattern. It is a manufacturing method in manufacture of the substrate for semiconductor devices which forms a circuit pattern above.

[0073]

[Effect of the Invention]Since the insulating layer surface width between patterns becomes larger than before and washing becomes easier by the method of this invention, migrations, such as dirt, are lost, the width of the top part of the pattern formed with plating becomes large, and there is an effect which can solve the problem of long term reliability and pattern width.

[Brief Description of the Drawings]

[Drawing 1]a-h is a sectional side elevation explaining the manufacturing process of this invention.

[Drawing 2]a-g is a sectional side elevation showing the working example of this invention.

[Drawing 3]a-e is a sectional side elevation showing the working example of the pattern manufacturing method of this invention.

[Drawing 4]a-g is a sectional side elevation explaining the conventional manufacturing process.

[Drawing 5]a-e is a sectional side elevation explaining the conventional manufacturing process.

[Explanations of letters or numerals]

1 -- Insulating substrate (core substrate)

2 -- Wiring layer (conductor layer)

3 -- Insulating resin layer

4 -- Hole for vias

5 -- Thin film conductor layer

- 6 -- Breakthrough for through holes
- 7 -- Plating layer (copper plating layer)
- 8 -- Wiring pattern layer
- 9 -- Through hole
- 10 -- Solder resist layer
- 11 -- Via hole
- 12 -- Photosensitive resist (layer)
- 13 -- Insulation (resin) nature film
- 14 -- Adhesives layer
- 15 -- Sprocket hole
- 16 -- Opening
- 17 -- Hole for conduction holes
- 18 -- Conduction hole
- 19 -- The first circuit pattern (layer)
- 20 -- The second circuit pattern (layer)
- 21 -- Pars basilaris ossis occipitalis of a pattern (conductor layer)
- 22 -- Apex part of a pattern (conductor layer)
- 23 -- Hem part of a pattern (conductor layer)
- 24 -- Width of a pattern (conductor layer)
- 25 -- Gap of a pattern (conductor layer)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-115662

(P2003-115662A)

(43) 公開日 平成15年4月18日 (2003.4.18)

(51) Int.Cl. ⁷	識別記号	F I	マーク* (参考)
H 0 5 K 3/46		H 0 5 K 3/46	E 5 E 3 4 3
			B 5 E 3 4 6
H 0 1 L 23/12		3/18	A
H 0 5 K 3/18			E
			H
審査請求 未請求 請求項の数 3 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2001-309728 (P2001-309728)

(22) 出願日 平成13年10月5日 (2001.10.5)

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72) 発明者 中村 高士

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

(72) 発明者 浜田 哲郎

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

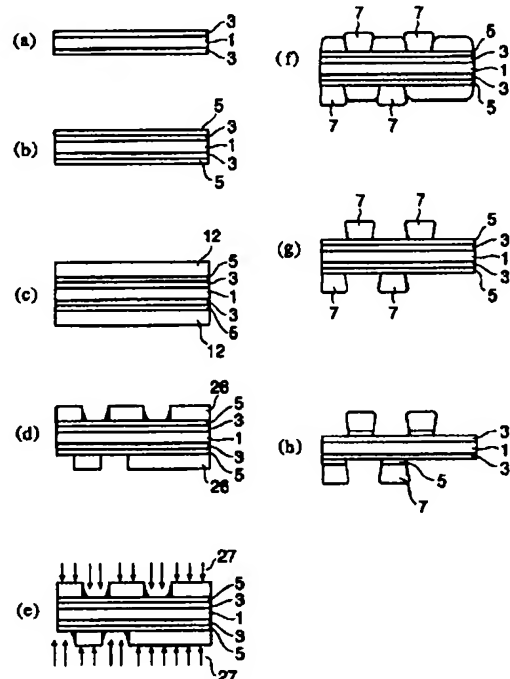
最終頁に続く

(54) 【発明の名称】 半導体装置用基板の製造方法

(57) 【要約】

【課題】 高密度配線を形成する為に、パターン底部の絶縁樹脂層の底部に残存した残渣によるマイグレーション発生を除去する為の方法と、パターン層頂上部の導体幅を従来の技術による導体幅より広げる方法にある。

【解決手段】 配線パターンを形成する工程において、絶縁樹脂層を形成後、めっき法による薄膜導体層を形成し、感光性レジスト層を形成し、露光と現像のフォトリソプロセス法により、所要のパターンを形成するレジスト層を形成後、全面にプラズマ処理をする工程と、電解銅めっきをする工程と、レジスト層を剝離する工程と、薄膜導体層を除去する工程と、による半導体装置用基板の製造方法を提供でき、マイグレーション発生が防止する、又導体幅を広げる半導体装置用基板が提供できる。



【特許請求の範囲】

【請求項 1】ビルドアップ法を用いた多層プリントの製造における、配線パターンを形成する工程において、

(a) 絶縁樹脂層を形成する工程と、(b) 該絶縁樹脂層の表面全体までにめっき法による薄膜導体層を形成する工程と、(c) 該薄膜導体層の表面全体までに感光性レジスト層を形成する工程と、(d) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(e) 該パターンを形成したレジスト層から、前記薄膜導体層の表面までに全面にプラズマ処理をする工程と、(f) 該表面全体に電解銅めっきをする工程と、(g) 前記レジスト層を剝離する工程と、(h) ソフトエッチング法により表面に露出した前記薄膜導体層を除去する工程と、からなる工程を実行することを特徴とする半導体装置用基板の製造方法。

【請求項 2】ビルドアップ法を用いた多層プリントの製造における、配線パターンを形成する工程において、

(a) 絶縁樹脂層を形成する工程と、(b) 該絶縁樹脂層の表面全体までに感光性レジスト層を形成する工程と、(c) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(d) 該パターンを形成したレジスト層から、前記絶縁樹脂層の表面までに全面にプラズマ処理をする工程と、(e) 該表面全体に無電解銅めっきをする工程と、(f) 前記レジスト層を剝離する工程と、からなる工程を実行することを特徴とする半導体装置用基板の製造方法。

【請求項 3】フィルムキャリアの製造における、配線パターンを形成する工程において、(a) 絶縁樹脂性フィルム層の表面全体までに感光性レジスト層を形成する工程と、(b) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(c) 該パターンを形成したレジスト層から、前記絶縁樹脂層の表面までに全面にプラズマ処理をする工程と、(d) 該表面全体に無電解銅めっきをする工程と、(e) 前記レジスト層を剝離する工程と、からなる工程を実行することを特徴とする半導体装置用基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層プリント配線板、又はビルドアップ法、又はフィルムキャリアを用いたモジュール配線基板の半導体装置用基板を製造する工程において、高密度配線パターンを形成する工程に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータ等に代表されるように、電子機器に小型化、薄型化が求められている。そのため、内部に用いられる半導体装置用基板

にも、小型化、薄型化が求められている。半導体装置用基板は、半導体チップやその他の部品を搭載し、ボール・グリッド・アレー(BGA)やピン・グリッド・アレー(PGA)等のモジュール基板の形態で、親基板となる多層プリント配線板上に搭載される場合が多いが、親基板として用いられる場合もある。

【0003】また、フィルムキャリアと、モジュール基板と、多層プリント配線板を含む半導体装置用基板の製造においては共通の配線パターン層形成する製造工程を持ち、前記の電子機器の小型化、薄型化を実現するために、前記の配線パターン層形成する製造工程では配線幅は細く、間隙は小さく、また配線層の多層化、配線層間を接続するパイアの径小径化という、いわゆる高密度配線を用いた半導体装置用基板が求められている。

【0004】これらの要求に対応する半導体装置用基板として、例えばビルドアップ法を用いた多層プリント配線板が知られている。この多層プリント配線板は任意の層間に、レーザー孔明け加工機を用いてビア孔を形成できるため、高密度配線を行う上で適している。又、高密度配線は配線パターン層のより細線化と、ビア孔の小径化が進んでおり、新しい方法が増えてきている。

【0005】ビルドアップ法を用いた多層プリント配線板の製造方法の一例をその製造方法について説明する。図4a～gは係る従来のビルドアップ法を用いた多層プリント配線板の断面図を模式的に示し図である。

【0006】まず、図4aは、リジッドなガラスエポキシ基板等からなる絶縁基板1上に銅箔からなる配線層2を張り合わせ形成された銅張ガラスエポキシ基板を用いて、配線層2上に感光性レジスト12を塗付して、露光、現像を行って感光性レジスト12のパターニングを行い、露出する銅配線層2をエッチングし、所定の配線パターンを持つ配線層2形成するという方法が用いられている。

【0007】次に、図4bは、絶縁基板1上及び、配線層2上に熱硬化性絶縁樹脂を塗布し、熱硬化性の絶縁樹脂層3を形成する。例えば、塗布方法としてはスクリーン印刷法、カーテンコート法やスピンコート法が使用されている。絶縁樹脂層3の材料としてはポリイミド樹脂、アクリル樹脂、エポキシ樹脂等が用いられる。例えば、絶縁樹脂層3形成方法としてはシート状の絶縁樹脂層3を貼着するという方法があり均一な厚さで簡易に絶縁層を形成できるという点からみて好ましい。前記絶縁樹脂層3にYAGレーザー等を用いたレーザー加工により、所定の位置に、所定のビア用孔4の形成し、所定のパターンを持つ絶縁樹脂層3およびビア用孔4を形成する。

【0008】次に、基板1を過マンガン酸カリウムに浸漬して、ビア用孔4の孔内の孔壁に付着した残渣、孔の底部に残存した残渣を除去する為に洗浄を行う。

【0009】次に、図4cは絶縁樹脂層3上およびビア

用孔 4 の孔内の孔壁迄全面に無電解めっきにて薄膜導体層 5 を形成し、感光性レジストのドライフィルムを基板両面の貼り合わせて、レジスト層 12 を形成し、該レジスト層 12 に露光用フォトマスクを用いて、光照射による露光ほどこし、現像工程の処理によってパターンニング形成し、所定のパターンを備えたレジスト層 12 を形成する。さらに前記薄膜導体層 5 上の全面に電解銅めっきを行って、めっき層 7 を形成し、前記レジスト層 12 を剥膜して、全面を軽くソフトエッチング加工を行い、不要となる薄膜導体層 5 を除去する。所定のパターン配線層 2 およびビアホール 11 を形成する。

【0010】一般的には、配線層形成する工程は、上述のセミアディティブ法と、サブトラクティブ法の他に、例えばフルアディティブ法も適宜行われている。

【0011】次に、図 4 d は絶縁樹脂層 3 および配線層 2 と、ビアホール 11 上の全面に絶縁樹脂溶液を塗布し、絶縁樹脂層 3 を形成し、絶縁樹脂層 3 の所定位置にレーザー加工にてビア用孔 4 を形成する。さらに基板の表面から裏面までドリル孔加工にてスルーホール用の貫通孔 6 を形成する。

【0012】次に、図 4 e は絶縁樹脂層 3 上と、ビア用孔 4 内と、スルーホール用の貫通孔内 6 と、に無電解めっき方法にて薄膜導体層 5 を形成し、さらに薄膜導体層 5 上全面に電解銅めっき層を形成 7 を行って、銅からなる導体層 8 と、ビアホール 11、およびスルーホール 9 を形成する。

【0013】図 4 f に示すように、さらに、図 4 f は導体層 8 にパターンニング処理により所定のパターンを持つ配線パターン層 8 が形成される。

【0014】前記配線層形成する工程は上述のサブトラクティブ法によって加工した。

【0015】次に、図 4 g に示す、絶縁樹脂層 3 および配線層 2 と、ビアホール 11 と、およびスルーホール 9 上の全面に絶縁樹脂溶液を塗布し、絶縁樹脂層 3 を形成し、絶縁樹脂層 3 の所定位置をレーザー加工にてビア用孔 4 を形成する。

【0016】次に、図 4 g に示すように、絶縁樹脂層 3 上およびビア用孔 4 の孔内の孔壁迄全面に無電解めっきによって、薄膜導体層 5 を形成し、該薄膜導体層の全面に感光性レジストのドライフィルムを基板両面の貼り合わせて、レジスト層 12 を形成し、該レジスト層 12 に露光用フォトマスクを用いて、光照射による露光をほどこし、現像工程の処理によってパターンニング形成し、所定のパターンを備えたレジスト層 12 を形成する。さらに前記薄膜導体層 5 上の全面に電解銅めっきを行って、めっき層 7 を形成し、前記レジスト層を剥膜して、全面を軽くソフトエッチング加工を行い、不要の薄膜導体層 5 を除去して、所定のパターン配線層 2 およびビアホール 11 を形成する。

【0017】最後に、図 4 g は配線、電源等配線パター

ン層 8 を保護するために多層プリント配線板の両面全体にソルダーレジスト層 10 が形成され、多層プリント配線板が完成する。

【0018】図 5 に示す従来のフィルムキャリア構成及び製造法について説明する。図 5 (a) ~ (e) にフィルムキャリアの製造方法の一例を示す。

【0019】まず、絶縁性フィルム 13 の両面に接着剤層を介して銅箔等を貼り合わせて接着剤層 14 及び導体層 2 を形成する (図 5 (a) 参照)。

【0020】次に、絶縁性フィルム 13 の両端側にパンチプレス等によりスプロケットホール 15 を形成する (図 5 (b) 参照)。

【0021】次に、導体層 2 の所定位置に開口部 16 を形成する (図 5 (c) 参照)。

【0022】次に、導体層 2 をマスクにして開口部 16 よりレーザービームを照射し、導通孔用孔 17 を形成する (図 5 (d) 参照)。

【0023】次に、導通孔用孔 17 内にめっきを施して薄膜導体層 5 を形成と、電解銅めっき層 7 を形成して、両面の導体層 2 を電氣的に接続する導通孔 18 を形成する (図 5 (e) 参照)。

【0024】次に、両面の導体層 2 のパターンニング処理を行って第一配線パターン 19、第二配線パターン 20 を形成して、フィルムキャリアを得る。

【0025】上述のように、ビルドアップ法を用いた多層プリント配線板、又はフィルムキャリアを用いたモジュール配線基板の半導体装置用基板を製造する工程において、高密度配線パターンを形成する工程には共通する問題がある。

【0026】配線層形成する工程は、上述のセミアディティブ法、サブトラクティブ法と、或いはフルアディティブ法が一般に使用されている。共通して、導体パターンの間隙 25 がもっとも狭いところはパターンの底部 21 である。その為、隣り合うパターンの底部 21 の絶縁樹脂層 3 表面はめっき液や、エッチング液の触媒、又はイオン等による、付着、吸着が発生しマイグレーション発生し、配線回路の長期信頼性不良の原因になる。

【0027】またエッチング加工する際に、導体パターンの頂上部 22 の導体幅 24 がサイドエッチングにより狭くなる問題がある。又一般的に、上述のセミアディティブ法、サブトラクティブ法と、或いはフルアディティブ法では、導体層 2 の層厚さの順番が一番厚い、サブトラクティブ法、セミアディティブ法、フルアディティブ法、となる。

【0028】より細線なファインパターンの形成は形成する導体層の薄い方が良い傾向である。

【0029】配線パターンを形成する製造工程では、高密度配線のために、配線幅は細くなり、間隙は狭く小さくなる。配線パターンの間隙は狭くなれば、底部の絶縁樹脂層 3 の表面の洗浄が困難になり、裾部 23 平滑性も

悪くなり導体層の裾部 23 洗浄にも影響がでる。又、エッチング加工するパターン配線の間隙は狭くなれば、エッチング加工する時間が長くなる傾向がある為に、又サイドエッチングによって、パターン層頂上部の導体幅 24 がより狭くなる。

【0030】

【発明が解決しようとする課題】本発明の課題は高密度配線を形成する為に、パターン底部の絶縁樹脂層の底部に残存した残渣によるマイグレーション発生を除去する為の方法と、パターン層頂上部の導体幅を従来の技術による導体幅より広げる方法にある。

【0031】

【課題を解決するための手段】本発明の請求項 1 に係る発明は、ビルドアップ法を用いた多層プリントの製造における、配線パターンを形成する工程において、(a) 絶縁樹脂層を形成する工程と、(b) 該絶縁樹脂層の表面全体までにめっき法による薄膜導体層を形成する工程と、(c) 該薄膜導体層の表面全体までに感光性レジスト層を形成する工程と、(d) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(e) 該パターンを形成したレジスト層から、前記薄膜導体層の表面までに全面にプラズマ処理をする工程と、(f) 該表面全体に電解銅めっきをする工程と、(g) 前記レジスト層を剝離する工程と、(h) ソフトエッチング法により表面に露出した前記薄膜導体層を除去する工程と、からなる工程を実行することを特徴とする半導体装置用基板の製造方法である。

【0032】本発明の請求項 2 に係る発明は、ビルドアップ法を用いた多層プリントの製造における、配線パターンを形成する工程において、(a) 絶縁樹脂層を形成する工程と、(b) 該絶縁樹脂層の表面全体までに感光性レジスト層を形成する工程と、(c) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(d) 該パターンを形成したレジスト層から、前記絶縁樹脂層の表面までに全面にプラズマ処理をする工程と、(e) 該表面全体に無電解銅めっきをする工程と、(f) 前記レジスト層を剝離する工程と、からなる工程を実行することを特徴とする半導体装置用基板の製造方法である。

【0033】本発明の請求項 3 に係る発明は、フィルムキャリアの製造における、配線パターンを形成する工程において、(a) 絶縁樹脂性フィルム層の表面全体までに感光性レジスト層を形成する工程と、(b) 該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、所要のパターンを形成する工程と、(c) 該パターンを形成したレジスト層から、前記絶縁樹脂層の表面までに全面にプラズマ処理をする工程と、(d) 該表面全体に無電解銅めっきをする工程と、(e) 前記レジスト層を剝離する工程と、からなる工程を実行することを

特徴とする半導体装置用基板の製造方法である。

【0034】

【発明の実施の形態】図 1 は本発明の事例を説明する工程の側断面図である。図 1 を用いて実施の形態に沿って以下に詳細に説明する。

【0035】図 1 は、ビルドアップ法を用いた多層プリントの製造における、配線パターンを形成する工程において、

【0036】図 1 (a) に示すように、コア基板 1 の両面に絶縁樹脂層 3 を形成する。絶縁樹脂層形成する方法はロールコート法、カーテンコート法、シルクスクリーン印刷法、等により絶縁樹脂液を塗布する場合と、絶縁樹脂を用いたドライフィルムを貼り合わせて絶縁樹脂層を形成する場合がある。絶縁樹脂としてはポリイミド樹脂、アクリル樹脂、エポキシ樹脂等が適当である。又例えばプロビコート 5000 (株) 日本ペイント製の商品名で販売している。

【0037】形成する絶縁樹脂層は 15 μm ~ 75 μm 厚さの範囲で最適規格を選択する。

【0038】図 1 (b) は、該絶縁樹脂層 3 の表面全体までにめっき法による薄膜導体層 5 を形成する。該薄膜導体層は一般的に使用している無電解めっき法を用いて薄膜の銅層による層形成する。該層の厚さはめっき電極としての役割ができる範囲であれば極力薄くても良い。

【0039】図 1 (c) は、該薄膜導体層 5 の表面全体までに感光性レジスト層 12 を形成する。該感光性レジスト層 12 は一般的に使用しているフォトリソで形成する。感光性レジスト液による方法と、ドライフィルムを用いる方法があり適宜選択して使用する。

【0040】図 1 (d) 該感光性レジスト層 12 にフォトリソ法による、フォトリソマスクを用いて、露光工程、現像工程により、所要のパターンを形成する感光性レジスト層 12 を形成する。前記フォトリソ工程は感光性レジスト樹脂の選択、例えば光硬化性と、光可溶性のレジスト樹脂、又感光性レジスト層に照射する総照射量の最適化、或いは現像工程の現像条件の最適化等、蓄積するノウハウ利用する。

【0041】図 1 (e) に示すように、該パターンを形成レジスト層 12 から、前記薄膜導体層 5 の表面までに全面にプラズマ処理をする。

【0042】プラズマ処理は減圧下においてグロー放電により、プラズマ化したガスを照射して高分子材料の表面を改良する手段として採用されている。本発明では無機気体を用いたプラズマ処理による方法として利用している。

【0043】前記該パターンを形成レジスト層 12 から、前記薄膜導体層 5 の表面には、該全表面に形成するレジスト樹脂面と、無電解銅の薄膜導体面が露出している。該露出面に残存するレジスト残渣、又は、無電解銅の薄膜導体面 5 に付着吸着する触媒等による汚れをが

生している。

【0044】一方、パターンの間隙25の近傍に形成するパターンの底部21や、該裾部23や、該頂上部22の表面形状が均一に形成されずに、特に前記裾部23形状が不安定となり、細線パターン部分では更に不安定になる問題を抱えている。

【0045】又前記裾部23～底部21に露出する無電解銅の薄膜導体の表面積は電解めっきの電極として重要な役割を持ち、めっき金属材質を析出する電流密度に影響する。

【0046】以上の問題点の解決方法として、従来の工程にプラズマ照射工程を追加して課題の解決をした。

【0047】前記プラズマ照射工程は、被照射材料面の膜厚を削ることにあり、露出面に残存するレジスト残渣を除去したり、無電解銅の薄膜導体面に付着吸着する触媒等残渣等による汚れを除去する。又、被照射材料面の膜厚を削る割合（エッチングレート、単位時間当の膜厚減耗量）が比較的大きいレジスト樹脂においては、パターンの底部21や、裾部23や、頂上部22の表面のレジストの形状を最適な形状に修正する。その効果により、露出面は清浄化され、裾部23のレジスト端部の薄膜部を膜厚減耗により該裾部の境界線を削り、間隙25の近傍に形成するパターンの底部21の幅が広がる。又頂上部22の表面コーナー部では角部がなくなり最適な形状となる。

【0048】前記間隙25の近傍に形成するパターンの底部21の幅が広がる為に、めっき電極の面積が更に広くなり、めっき形成する配線パターンの形状が所要のものになる。

【0049】図1（f）は、該表面全体に電解銅めっきをする。

【0050】図1（g）は、前記レジスト層を剝離する。

【0051】図1（h）に示すように、ソフトエッチング法により表面に露出した前記薄膜導体層を除去する。絶縁樹脂層の表面に、電解銅めっきにより形成する配線パターンが形成され、頂上部22の表面幅が広い、該断面形状では逆テーパとなる配線パターン層が形成する。

【0052】以上半導体装置用基板の製造における、配線パターンを形成する製造方法である。

【0053】図3図a～eは、フィルムキャリアの製造における、配線パターンを形成する工程において、

【0054】図3（a）に示す、絶縁樹脂性フィルム層13の表面全体までに感光性レジスト層12を形成する。感光性レジスト液を塗布する。例えば、塗布方法としてロールコーターが適している。

【0055】図3（b）は、該感光性レジスト層にフォトリソ法による、フォトリソマスクを用いて、露光工程、現像工程により、前記レジスト層に所要のパターン

を形成する。

【0056】図3（c）は、該パターンを形成レジスト層と、前記絶縁樹脂層の表面までに全面にプラズマ処理をする。

【0057】前記プラズマ照射工程は、被照射材料面を膜厚を削ることにあり、露出面に残存するレジスト残渣等の異物を除去する。又、被照射材料面の膜厚を削る割合（エッチングレート、単位時間当の膜厚減耗量）が比較的大きいレジスト樹脂においては、パターンの底部21や、裾部23や、頂上部22の表面ではレジストの形状を最適な形状に修正する。その効果により露出面は清浄化され、裾部23のレジスト端部薄膜部を主体に調整と、膜厚減耗とにより間隙25の近傍に形成するパターンの底部21の幅が広がる。又頂上部22の表面コーナー部では角部がなくなり最適な形状となる。

【0058】前記間隙25の近傍に形成するパターンの底部21の幅が広がる為に、めっき電極の面積が更に広くなり、めっき形成する配線パターンの形状が所要のものになる。

【0059】図3（d）は、該表面全体に無電解めっきをする。

【0060】図3（e）に示すように、前記レジスト層を剝離する。

【0061】絶縁樹脂層の表面に、電解銅めっきにより形成する配線パターンが形成され、頂上部22の表面幅が広い、該断面形状では逆テーパとなる配線パターン層を形成する。

【0062】以上半導体装置用基板の製造における、配線パターンを形成する製造方法である。

【0063】

【作用】パターン形成において、導体層をエッチング法によって形成のサブトラクティブ法から、レジスト形成による工程を持つセミアディティブ法、フルアディティブ法に変更した為に、サイドエッチの問題は解消した。プラズマ加工を追加により清浄化され、絶縁層の表面の洗浄が改善する作用がある。

【0064】

【実施例】次に、本発明の具体的な実施例について説明する。

【0065】＜実施例1＞図2a～gは配線パターンの製造の工程を示す側断面図である。

【0066】図2aは、コア基板1に絶縁樹脂層を形成した。絶縁樹脂液は汎用のプロピコート5000（株日本ペイント製）を使用し、塗布方法はカーテンコート法により塗布した。膜厚は35μmの規格で絶縁層を形成した。

【0067】図2bは、薄膜導体層5を形成した。汎用の無電解めっきによる銅薄膜導体層を形成した。次に、図2cは、感光性レジスト層を形成した。感光性レジストはドライフィルムを用いて、通常の方法で貼り合によ

り層形成した。ドライフィルムは汎用の商品名フォテック（株日立化成製）を使用した。前処理として化学研磨を行った。条件は250g/L過硫酸ナトリウムと、350g/L硫酸の水溶液に、液温30℃、40秒浸せきして、薄膜導体層の表面を化学研磨した。

【0068】図2dは、該感光性レジスト層にフォトリソプロセス法による、フォトマスクを用いて、露光工程、現像工程により、前記レジスト層に所要のパターンを形成するパターン層を形成した。露光条件は40mj/cm²の条件で作業をした。また前記現像工程は過現像の条件下で現像した。現像の条件は、1wt%Na₂CO₃溶液、液温30℃、現像時間30秒である。仕様書の標準の時間は15秒である。

【0069】図2dは、薄膜導体層5と、レジスト層12面に、プラズマ照射する。露出面に残存するレジスト残渣等の異物を除去すること、レジストの形状を最適な形状にすること、及び、修正部23のレジスト端部薄膜部の膜厚減耗すること、又頂上部22の表面コーナ部では角部がなくなること、により最適なレジスト形状となった。

【0070】図2eは、電解めっきによって、めっき層7を形成した。

【0071】図2fは、露出する前記薄膜導体層5面をソフトエッチングにより除去した。

【0072】図2gは、絶縁樹脂層の表面に、電解銅めっきにより形成する配線パターンが形成され、該パターンの頂上部22の表面幅が広い、該断面形状では逆テーパーとなる配線パターン層を形成した。以上半導体装置用基板の製造における、配線パターンを形成する製造方法である。

【0073】

【発明の効果】本発明の方法により、パターンの間の絶縁層表面幅が従来より広くなり洗浄がより安易となるために、汚れ等のマイグレーションがなくなり、めっきにより形成するパターンのトップ部の幅が広くなり、長期信頼性及びパタン幅の問題を解消できる効果がある。

【図面の簡単な説明】

【図1】a～hは、本発明の製造工程を説明する側断面図。

【図2】a～gは、本発明の実施例を示す側断面図。

【図3】a～eは、本発明のパターン製造方法の実施例を示す側断面図。

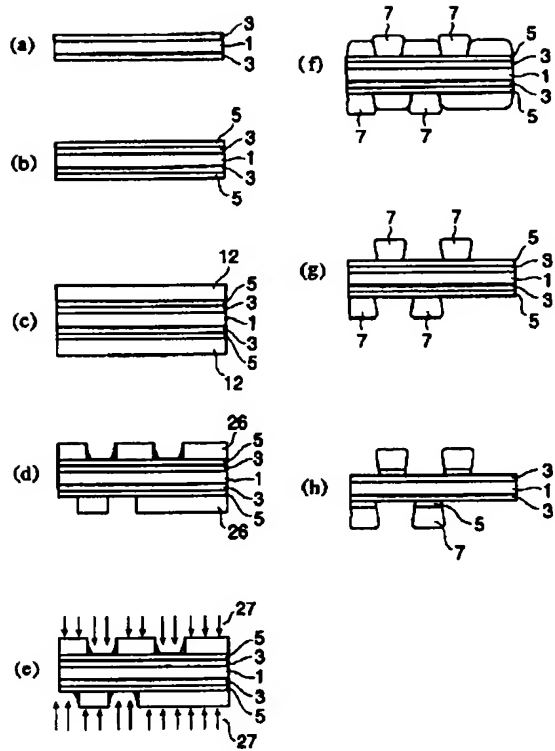
【図4】a～gは、従来の製造工程を説明する側断面図。

【図5】a～eは、従来の製造工程を説明する側断面図。

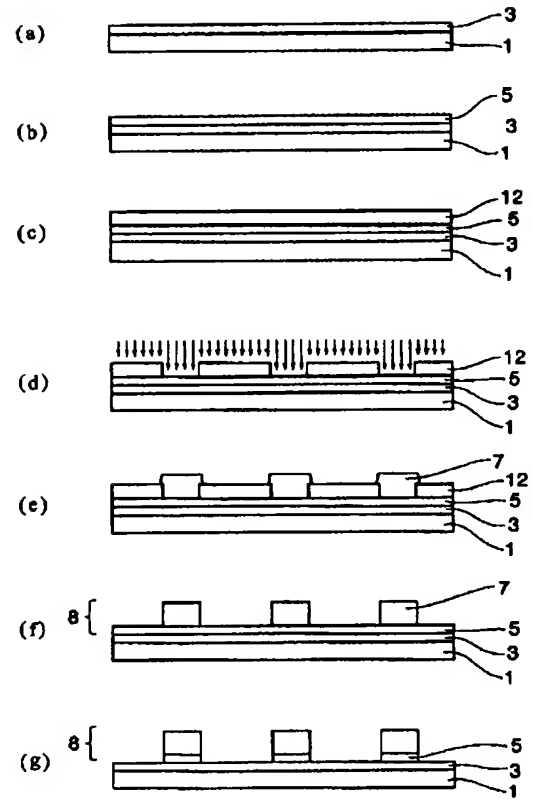
【符号の説明】

- 1…絶縁基板（コア基板）
- 2…配線層（導体層）
- 3…絶縁樹脂層
- 4…ビア用孔
- 5…薄膜導体層
- 6…スルホール用貫通孔
- 7…めっき層（銅めっき層）
- 8…配線パターン層
- 9…スルホール
- 10…ソルダーレジスト層
- 11…ビアホール
- 12…感光性レジスト（層）
- 13…絶縁（樹脂）性フィルム
- 14…接着剤層
- 15…スプロケットホール
- 16…開口部
- 17…導通孔用孔
- 18…導通孔
- 19…第一配線パターン（層）
- 20…第二配線パターン（層）
- 21…パターン（導体層）の底部
- 22…パターン（導体層）の頂上部
- 23…パターン（導体層）の裾部
- 24…パターン（導体層）の幅
- 25…パターン（導体層）の間隙

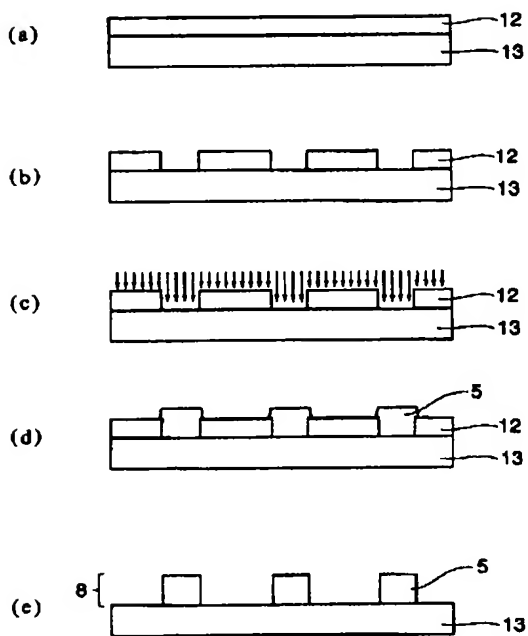
【図1】



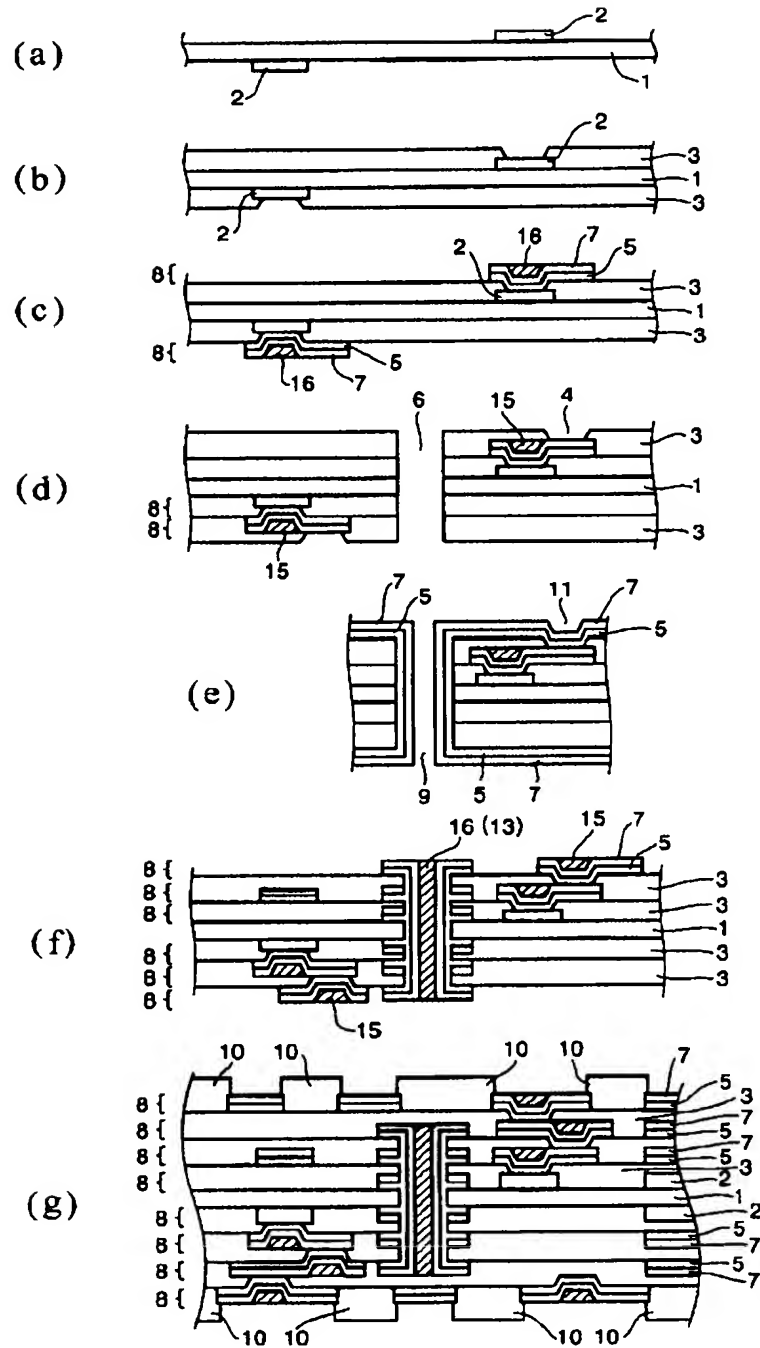
【図2】



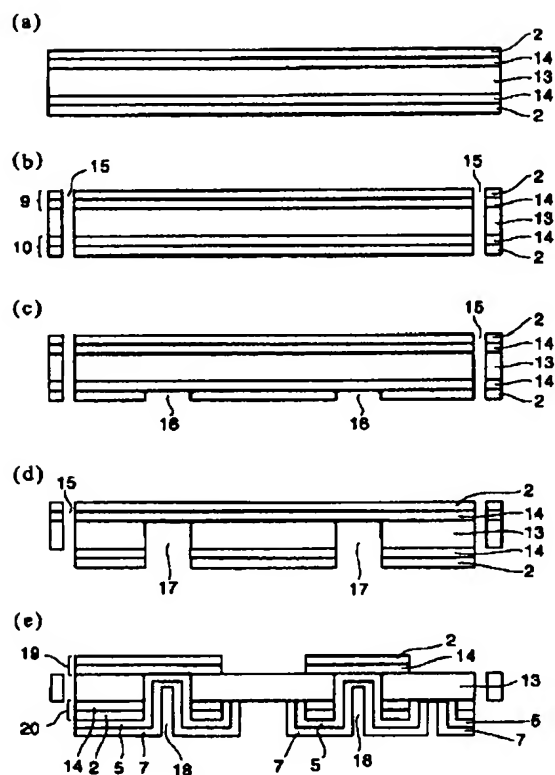
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁷

H05K 3/18

識別記号

F I

H01L 23/12

テーマコード(参考)

Q

Fターム(参考) 5E343 AA02 AA12 BB13 BB24 BB71
 CC62 DD33 DD43 EE01 EE13
 EE17 EE36 ER11 FF23 GG01
 GG06 GG08
 5E346 AA12 AA15 AA32 AA43 AA51
 BB15 CC32 DD23 DD24 DD25
 DD33 DD44 DD47 EE33 EE35
 GG17 GG18 GG28 HH13 HH21